

PAT-NO: JP405315457A

DOCUMENT-IDENTIFIER: JP 05315457 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: November 26, 1993

INVENTOR-INFORMATION:

NAME

WATABE, SHINYA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

mitsubishi electric corp

N/A

APPL-NO: JP04114945

APPL-DATE: May 7, 1992

INT-CL (IPC): H01L021/90, H01L021/302

ABSTRACT:

PURPOSE: To eliminate damages of a foundation, etching defect, etc., by making a contact hole passing through an insulating film among a plurality of conductive layers in such a manner that the diameter of the hole becomes small as it gets deep.

CONSTITUTION: When contact holes 20, 22 are formed by etching simultaneously, etching selection ratio is controlled by changing a size of an opening of each contact hole properly. The difference between an etching time of the contact hole 22 and an etching time of the contact hole 20 can be smaller than a conventional one. Therefore, it is possible to prevent doped polysilicon of an upper electrode 10 positioned on the bottom of the contact hole 22 from being excessively etched. Since the size of the mouth of a

contact hole is set in accordance with the depth thereof, it is possible to control the etching rate and to prevent damages of the ground and opening defect when a plurality of contact holes of different depths are made.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-315457

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	A	7735-4M		
21/302	N	8518-4M		
	J	8518-4M		
21/90	C	7735-4M		

審査請求 未請求 請求項の数 5 (全 15 頁)

(21)出願番号 特願平4-114945

(22)出願日 平成4年(1992)5月7日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 渡部 真也

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(74)代理人 弁理士 深見 久郎 (外3名)

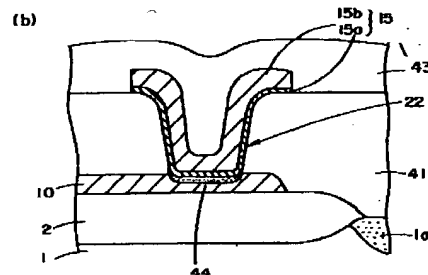
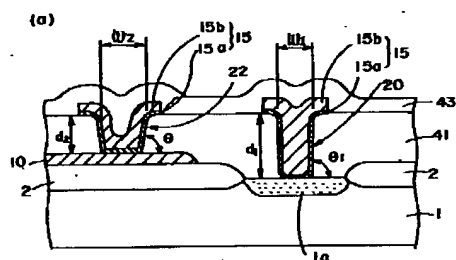
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 複数の深さの異なるコンタクトホールを同時にエッチングによって形成する際の、下地の損傷あるいはエッチング不足などを解消する。

【構成】 複数の深さの異なるコンタクトホール20、22を同時にエッチングによって形成するに際し、各コンタクトホール20、22の開口の大きさを適宜変えることによってエッチング選択比を制御する。また、コンタクトホールを形成する領域の下地に予め窪みを形成することにより、コンタクトホールの深さを深くすることができ、それによって複数コンタクトホールの深さの違いを縮小することができる。

1:半導体基板
2:フィールド絶縁膜
10:上部電極(TEAアレ)
15:導電配線
20,22:コンタクトホール
41:層間絶縁膜



1

【特許請求の範囲】

【請求項1】 導電層間に形成された層間絶縁膜と、この層間絶縁膜を貫通して形成され、導電層間を電氣的に接続するための、第1のコンタクトホールと、前記層間絶縁膜を貫通して形成され、導電層間を電氣的に接続するための、前記第1のコンタクトホールよりも深さの深い第2のコンタクトホールとを備え、前記第2のコンタクトホールは、前記第1のコンタクトホールよりも径が小さくなるように形成された半導体装置。

【請求項2】 半導体基板上に形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された第1の導電配線層と、この第1の導電配線層上に形成された第2の層間絶縁膜と、この第2の層間絶縁膜上に形成された第2の導電配線層とを備え、前記第1の層間絶縁膜の所定位置には、所定の径と深さを有する窪みが設けられ、前記第2の層間絶縁膜の前記窪みの領域上には、前記窪みの径よりも小さな径を有するコンタクトホールが設けられ、このコンタクトホールにおいて、前記第1の導電層と前記第2の導電層が電氣的に接続された半導体装置。

【請求項3】 層間絶縁膜に、互いに開口深さの異なる複数のコンタクトホールをドライエッチングによって形成する工程において、予め求めたコンタクトホール径とドライエッチング速度比との相関関係に基づいて、前記複数のコンタクトホールの開口径を、各々の前記コンタクトホールの開口深さに応じて決定することにより、前記コンタクトホールのドライエッチング速度を制御する半導体装置の製造方法。

【請求項4】 半導体基板上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜の表面の所定位置に、所定の径と深さを有する窪みを形成する工程と、前記第1の層間絶縁膜の表面および前記窪みの内表面に沿って、第1の導電配線層を形成する工程と、前記第1の導電配線層上に第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜に、前記窪み上の領域において、前記第1の導電配線層の表面に至るコンタクトホールを形成する工程と、前記第2の層間絶縁膜の表面および前記コンタクトホール内に、第2の導電配線層を形成する工程とを備えた半導体装置の製造方法。

【請求項5】 半導体基板上に第1の層間絶縁膜を形成する工程と、

2

前記第1の層間絶縁膜の表面の所定位置に、所定の径と深さを有する窪みを形成する工程と、

前記第1の層間絶縁膜の表面の、前記窪みの内部表面を含む所定の領域に、第1の導電配線層を形成する工程と、

前記第1の導電配線層の表面および前記第1の層間絶縁膜の表面を覆うように、第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜に、前記窪みの領域上において前記第1の導電配線層の表面に至る第1のコンタクトホールを形成する工程と、

前記第1の導電配線層が形成された領域以外の領域において、前記第1の層間絶縁膜と前記第2の層間絶縁膜とを貫通する第2のコンタクトホールを、前記第1のコンタクトホールと同時にドライエッチングすることによって形成する工程とを備え、

前記窪みの深さは、前記第1のコンタクトホールと前記第2のコンタクトホールとの深さの差に応じて、前記第1のコンタクトホールと前記第2のコンタクトホールとのエッチングに要する時間の差が所定の範囲より小さくなるように決定される、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、特に、互いに深さの異なる複数のコンタクトホールを有する半導体装置を形成する場合の、深さの相違に起因する種々の問題点を解決するための技術に関するものである。

【0002】

【従来の技術】以下、互いに深さの異なる複数のコンタクトホールを有する従来の半導体装置およびその製造方法を、DRAM (Dynamic Random Access Memory) を例に挙げて説明する。

【0003】図19に、一般にスタックキャパシタ構造と呼ばれるメモリセルを有するDRAMの、メモリセル部分の断面図を示す。図19を参照して、従来のスタックキャパシタ構造を有するメモリセルは、半導体基板1の表面においてフィールド絶縁膜2によって分離された活性領域上に、MOS (Metal Oxide Semiconductor) 型電界効果トランジスタが形成され、その近傍に、スタック構造を有するキャパシタが形成されている。MOS型電界効果トランジスタは、半導体基板1表面に形成された、ソース/ドレイン領域となる不純物拡散領域3、4と、これらの不純物拡散領域3、4の間に挟まれた領域の半導体基板1表面上に、ゲート絶縁膜5を介して、ワード線となるゲート電極6aが形成されている。ワード線は複数本平行に配されており、フィールド絶縁膜2上にも、ゲート電極6aと平行にゲート電極6bが存在する。ゲート電極6a、6bを覆う絶縁膜7

a, 7b上には、ストレージノードとなるキャパシタの下部電極8と、誘電体膜9と、下部電極8とともに誘電体膜9を挟む上部電極10が形成されている。

【0004】キャパシタの下部電極8は、コンタクトホール4aにおいて不純物拡散領域4と電気的に接続されている。キャパシタの上部電極10上には、層間絶縁膜11を介して、ビット線となる導電層12が形成され、この導電層12は、層間絶縁膜11に設けられたコンタクトホール13において、不純物拡散領域3と電気的に接続されている。

【0005】導電層12上には、比較的平坦な層間絶縁膜14が形成され、さらにその表面に、TiNなどからなるバリア金属層15aとAl-Si-Cuなどからなるアルミニウム合金層15bとの2層構造を有する導電層15が形成されている。導電層15は、図19の断面では現われない位置において、コンタクトホールを介してゲート電極6a, 6bと導通し、ワード線の導電性向上を図るための、いわゆるワード線裏打ち用の配線や、メモリセルの周辺回路部において半導体基板1表面やキャパシタの上部電極10の表面などと電気的に接続される配線である。層間絶縁膜14上には、導電層15を覆ってパッシベーション膜16が形成されている。

【0006】以上のように構成されたDRAMは、その周辺回路部において、導電配線15と半導体基板1ある*

*いは導電配線15とキャパシタの上部電極10が、層間絶縁膜に形成されたコンタクトホールにおいて電気的に接続されている。

【0007】導電配線15と半導体基板1表面とを電気的に接続させるためのコンタクトホール20は、図20に示すように、層間絶縁膜17, 18, 19が平坦化のための熱処理を経た場合には、比較的高く（深さ d_1 ）、レジストマスク21をマスクとして異方性エッチングによって形成される。層間絶縁膜17, 18, 19の平坦化処理を行わない場合には、図21に示すように、コンタクトホール20は比較的浅く（深さ d_2 ： $d_2 < d_1$ ）なる。また、導電配線15とキャパシタの上部電極（セルプレート）10を電気的に接続させるためのコンタクトホール22は、図22に示すように、層間絶縁膜17を貫通せず、またこの位置の層間絶縁膜18, 19は、図20に示した位置に比べて比較的薄いため、レジストマスク23をマスクとして、比較的浅く（ $d_3 < d_1, d_2$ ）形成される。

【0008】表1に、コンタクトホール20, 22のそれぞれの深さの違いを、層間絶縁膜17, 18, 19の厚さとの関係において、具体的数値を用いて示している。

【0009】

【表1】

コンタクトホール深さの比較（単位：オングストローム）

貫通する層間絶縁膜	コンタクトホール20	コンタクトホール22
層間絶縁膜17	約1300	貫通せず
層間絶縁膜18	5000~8500	約5000
層間絶縁膜19	4000~6000	約4000
コンタクトホール深さ	10300~15800	約9000

【0010】表1において、コンタクトホール20が貫通する層間絶縁膜18, 19の厚さが所定の幅を持った値を有するのは、以下の理由によるものである。

【0011】図20, 21に示すように、コンタクトホール20が、トランジスタなどの素子が形成された2つの領域の間に挟まれた谷間に形成される場合、層間絶縁膜18, 19は、写真製版のフォーカスマージンの拡大※50

※などを目的として、熱処理によるリフロー、ドライエッチングあるいはウェットエッチングによる全面エッチバックなどによって平坦化される。そのため、図20, 21の対比からわかるように、平坦化処理を施した図20の場合において、平坦化処理を施さない図21の場合に比べて、層間絶縁膜18, 19のコンタクトホール20を開口する位置における厚みが厚くなる。一方、平坦化

のプロセスを行なわない場合には、図21に示すように、コンタクトホール20を形成する位置の層間絶縁膜18、19は比較的薄くなり、コンタクトホール20の深さは図20の場合の d_1 に比べて浅くなる。このことは、コンタクトホール20をエッチングする時間が比較的短いという点で有利であるが、この場合には、コンタクトホール20を形成する領域と、その領域を挟む素子などが形成された領域との間で、層間絶縁膜18、19の厚さの違いによる段差が生じてしまう。その段差に起因して、コンタクトホール20開口のための写真製版、あるいは、さらに後工程における導電配線などの写真製版時において、露光装置の焦点深度以上の段差が生じてしまうことによるレジストパターンの解像不良が生じる。また、導電配線がアルミニウム配線であって、ポジレジストを用いた場合の写真製版においては、このような解像不良が生じる上に、露光中の下地段差部からの光の反射によって、導電配線のためのレジストパターンが露光されて消失してしまうという、いわゆるハレーションと称する不都合な現象が生じる。

【0012】これらの不都合な現象を抑制するため、各層間絶縁膜の平坦化プロセスは必須であり、コンタクトホール開口部の酸化膜の厚さは、その平坦化プロセスに依存することになる。

【0013】図22は、キャパシタの上部電極（セルプレート）10上に開口するコンタクトホール22の形成工程を示す断面図であるが、上部電極10の下側にはワード線が存在しないため、上述した平坦化プロセスを経た後もコンタクトホール22の開口領域の膜厚が厚くなることはない。また、コンタクトホール22は層間絶縁膜17を貫通しないため、コンタクトホール22の深さ d_3 は、コンタクトホール20の図20に示した場合の深さ d_1 に比べて約6000～7000Å程度浅くなる。

【0014】

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されているので、開口深さが比較的深いコンタクトホール20と比較的浅いコンタクトホール23とが共存しているため、両者を同時にエッチングによって加工する場合において、コンタクトホール20を十分開口するようなエッチング時間に設定すると、コンタクトホール23においてはオーバエッチングが過剰に進行し、図23に示すように、下地となるキャパシタの上部電極10のドーフトポリシリコンがエッチングされて開口されてしまう。そのため、図24に示すように、コンタクトホール22にTiNなどからなるバリアメタル層31とアルミニウム合金層32との二重構造を有する導電配線を形成した場合、バリアメタル層31と上部電極10との接合が、コンタクトホール20の内周壁に沿ったわずかな領域のみで行なわれることになり、導通不良の原因となる。

【0015】また、上部電極10のドーフトポリシリコン層が貫通してしまわないまでも、図25に示すように、その膜厚が薄くなって約700Å以下の膜厚になった場合には、バリアメタル層31を形成するための N_2 雰囲気でのランプアニールの際に、800℃という高温で処理がなされるために、図26および図27に示すようにバリアメタル層のTiとポリシリコンとの合金化、すなわち、シリサイド化による $TiSi_2$ 層33の形成が進む。その結果、コンタクトホール20の底面のドーフトポリシリコンがTiに吸込まれて、さらにはコンタクトホール底部の側部近傍のドーフトポリシリコンの吸込みも生じて、図27に拡大して示すような空洞34が生じ、極端な場合には上部電極10が断線してしまう。空洞34が生じるようなドーフトポリシリコン層の膜厚の限界は、Tiの膜質やランプアニール温度などに依存するが、通常約700Å程度である。よって、コンタクトホールをドライエッチングによって形成した後のドーフトポリシリコン層の膜厚を、製造誤差マージンを見込んで、1000Å程度になるようにする必要がある。デバイスの薄膜化を図るためには、このように膜厚を厚くすることなく、空洞34の発生を防止することが望まれる。

【0016】次に、エッチング時間の調整の限界について説明する。通常、コンタクトホールを開口するためのドライエッチングのエッチング時間Tの設定は、最も深いコンタクトホールをちょうど開口するためのエッチング時間 T_1 に、被エッチング膜である各層間絶縁膜の設計膜厚に対する誤差と、ドライエッチング装置のエッチングレートの変動誤差を考慮に入れて、オーバエッチング時間 T_2 を設定して、 $T = T_1 + T_2$ となるように設定する。ドライエッチング装置のエッチングレートの変動誤差は、半導体ウェハ面内のエッチングレートのばらつきや、ウェハ間のエッチングレートのばらつき、バッチ式ドライエッチングの場合のバッチ間のエッチングレートのばらつきなどによって生じる。半導体ウェハ間の膜厚分布と、エッチングレートの分布は、図28(a)(b)に示すようになっており、たとえば、被エッチング膜厚が薄い方向(図28(a)の矢印A方向)に変動する場合と、エッチングレートが早い方向(図28(b)の矢印D方向)に変動する場合と重なった場合、図23や図25に示したようなキャパシタの上部電極10(セルプレート)10のドーフトポリシリコンが過剰にエッチングされるというトラブルが、かなり高い確率で発生する。逆に、被エッチング膜厚が厚い方向(図28(a)の矢印B方向)に変動する場合と、エッチングレートが遅い方向(図28(b)の矢印C方向)に変動する場合が重なった場合、深いコンタクトホールが十分に開口せず、たとえば図20に示したコンタクトホール20の場合には、層間絶縁膜19上に形成する導電配線と半導体基板1表面との導通がとれなくなるというトラ

ブルが、かなり高い確率で発生することになる。オーバエッチング時間 T_2 を長くすれば、後者のトラブルの発生確率は減少するが、前者のトラブルが発生する確率が増大し、逆に T_2 を短くすれば、前者のトラブルは減少するが後者のトラブルが増加する。良品選定のテスト結果を分析したところ、そのトラブルの発生に確率は、各々3σで5%であった。

【0017】なお、キャパシタの上部電極（セルプレート）10のドーフトポリシリコンを厚くすれば、このトラブルは減少するが、厚くすることによって段差が大きくなり、後工程でのトラブルが発生しやすくなる。また、より高集積化の進んだ半導体装置の開発には、各層の薄膜化は必須の条件であるため、膜厚を厚くするという手段を採用することは不適当である。

コンタクトホール深さの比較 * 【表2】（単位：オングストローム）

貫通する層間絶縁膜	コンタクトホール24	コンタクトホール25
層間絶縁膜17	約1300	貫通せず
層間絶縁膜18	5000～8500	貫通せず
層間絶縁膜19	4000～6000	約4000
コンタクトホール深さ	10300～15800	約4000

【0021】

【課題を解決するための手段】上記課題を解決するため、本発明の請求項1に記載の半導体装置は、導電層間に形成した層間絶縁膜と、この層間絶縁膜を貫通して形成され、導電層間を電気的に接続するための、第1コンタクトホールと、それよりも深さの深い第2のコンタクトホールとを備えている。第2のコンタクトホールは、第1のコンタクトホールよりも径が小さくなるように形成されている。

【0022】また、請求項2に記載の半導体装置は、半導体基板上に形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された第1の導電配線層と、この第1の導電配線層上に形成された第2の層間絶縁膜と、この第2の層間絶縁膜上に形成された第2の導電配線層とを備えている。第1の層間絶縁膜の所定位置には、所定の形状と深さを有する窪みが設けられ、第2の層間絶縁膜には、上記窪みの上の領域において、その窪みよりも小さな径を有するコンタクトホールが設けられ、この※50

*【0018】上述したような問題点は、図29に示すように、半導体基板1表面上に開口されるコンタクトホール24とビット線12表面上に開口されるコンタクトホール25とが併存する場合、それらの深さの差がより大きくなるため、さらに顕著になる。

【0019】下記表2には、図29におけるコンタクトホール24の貫通する層間絶縁膜17、18、19の膜厚が図23に示したコンタクトホール20の場合と同一であると仮定した場合の、コンタクトホール25が貫通する層間絶縁膜の膜厚とコンタクトホール深さを表示し、コンタクトホール24とコンタクトホール25を対比したものである。

【0020】

* 【表2】

（単位：オングストローム）

※コンタクトホールにおいて、第1の導電層と第2の導電層が電気的に接続されている。

【0023】本発明の請求項3に記載の半導体装置の製造方法は、層間絶縁膜に、互いに開口深さの異なる複数のコンタクトホールをドライエッチングによって形成する方法である。この方法においては、予め求めたコンタクトホール径とドライエッチング速度比との相関関係に基づいて、複数のコンタクトホールの開口径を、各々のコンタクトホールの開口深さに応じて決定することにより、コンタクトホールのドライエッチング速度を制御する。

【0024】また、請求項4に記載の半導体装置の製造方法は、まず半導体基板上に第1の層間絶縁膜を形成し、その第1の層間絶縁膜の表面の所定位置に、所定の形状と深さを有する窪みを形成する。次に、第1の層間絶縁膜の表面および上記窪みの内表面に沿って、第1の導電配線層を形成し、その第1の導電配線層上に第2の層間絶縁膜を形成する。その後、第2の層間絶縁膜に、

上記窪み上の領域において、第1の導電配線層の表面に至るコンタクトホールを形成し、さらに、第2の層間絶縁膜の表面および前記コンタクトホール内に、第2の導電配線層を形成する。

【0025】さらに請求項5に記載の半導体装置の製造方法は、半導体基板上に第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜の表面の所定位置に、所定の形状と深さを有する窪みを形成する工程と、第1の層間絶縁膜の表面の、前記窪みの内部表面を含む所定の領域に、第1の導電配線層を形成する工程と、第1の導電配線層の表面および前記第1の層間絶縁膜の表面を覆うように、第2の層間絶縁膜を形成する工程と、第2の層間絶縁膜に、前記窪みの領域上において前記第1の導電配線層の表面に至る第1のコンタクトホールを形成する工程と、第1の導電配線層が形成された領域以外の領域において、第1の層間絶縁膜と前記第2の層間絶縁膜とを貫通する第2のコンタクトホールを、第1のコンタクトホールと同時にドライエッチングすることによって形成する工程とを備えている。上記窪みの深さは、第1のコンタクトホールと第2のコンタクトホールとの深さの差に応じて、第1のコンタクトホールと第2のコンタクトホールとのエッチングに要する時間の差が所定の範囲より小さくなるように決定される。

【0026】

【作用】請求項1に記載の発明によれば、深さが深いコンタクトホールほどその径を小さくすることにより、エッチング速度が早くなる。その結果、深さの異なる複数のコンタクトホールの開口を同時にドライエッチングする場合、深さの相違に伴う開口に要する時間差が縮小され、深いコンタクトホールの開口不足や浅いコンタクトホールの過剰なエッチングなどの問題点が解消される。

【0027】また、請求項2に記載の発明によれば、第1の層間絶縁膜に形成された窪みに沿って第1の導電配線層が形成されることによって生じた、第1の導電配線層上の窪み上にコンタクトホールが形成されるため、その窪みの深さ分だけコンタクトホールの深さが深くなる。したがって、第1の層間絶縁膜に形成する窪みの深さを適当に設定することによって、コンタクトホールの深さを制御することが可能になる。

【0028】さらに、請求項3に記載の発明によれば、コンタクトホールの深さに応じて開口径を適宜設定することにより、異なる深さの複数のコンタクトホールの開口に要する時間がほぼ同じになるように制御することができる。そのため、深さの異なるコンタクトホールを同一のエッチング工程で加工する場合の問題点を、比較的容易に解消することができる。

【0029】また、請求項4あるいは請求項5に記載の発明によれば、形成するコンタクトホールの深さに応じて、第1の層間絶縁膜に形成する窪みにより、その窪み

の領域における第1の導電配線層表面もその窪みに沿って低くなるため、その窪みの領域に形成されるコンタクトホールの形成工程において開口加工を要する深さを深くすることができる。その結果、複数の深さの異なるコンタクトホールを同一のエッチング工程で加工する場合、窪みの深さを適宜設定することにより、各コンタクトホールの開口に要する時間をほぼ等しくすることができ、コンタクトホールの深さの相違に起因するエッチングの過不足などの問題点が解消される。

10 【0030】

【実施例】以下、本発明の第1の実施例の半導体装置とその製造方法について、図1ないし図7に基づいて説明する。

【0031】図1(a)には、本発明の第1の実施例の半導体装置の断面構造を示しており、この断面は、図19に示したDRAMのメモリセルの周辺回路における、導電配線15と、フィールド絶縁膜2で囲まれた半導体基板1の不純物拡散領域1a表面とを接続するコンタクトホール20と、導電配線15とキャパシタの上部電極(セルプレート)10とを接続するコンタクトホール22とが共存する構造の断面を示している。

20 【0032】図1(a)を参照して、層間絶縁膜41に形成されたコンタクトホール20、22は、それぞれ深さ d_1 、 d_2 を有し、 $d_1 > d_2$ の関係にある。またこれらのコンタクトホール20、22は、水平断面が略正方形であり、その大きさは、層間絶縁膜41表面でそれぞれ w_1 角、 w_2 角であり、 $w_1 < w_2$ の関係がある。また、コンタクトホール20、22はそれぞれテーパに基づく角度 θ_1 、 θ_2 を有しており、 $\theta_1 > \theta_2$ の関係にある。

30 【0033】次に、図1(a)に示した第1の実施例の半導体装置の製造方法について説明する。本実施例の製造工程においては、まず、図2を参照して、層間絶縁膜41表面に写真製版によって、開口されるコンタクトホール20、22の形状に合わせた一辺が寸法 w_1 の正方形および一辺が寸法 w_2 の正方形の開口をパターンニングしたレジストマスク42を形成する。その後、 CHF_3 / CF_4 / Ar のガス系を用いた異方性のドライエッチングにより、コンタクトホール20、22を加工する。

40 このガス系については、 CHF_3 / CF_4 / Ar の混合比(流量比)は、67/53/800(SCCM)に設定する。

【0034】このようなガス系を用いた場合のエッチング特性を、従来から用いられているガス系である CHF_3 / O_2 の混合ガス(O_2 濃度約10%)を用いた場合と対比して、図6(a)(b)に示す。図6(a)

(b)では、本実施例を実線で、従来法による場合を一点鎖線で示している。図6(a)は、コンタクトホール20の大きさ w を横軸に、最大のエッチング速度を1.0として規格化したエッチング速度比を縦軸にとっている。

図6(b)は、横軸は図6(a)と同じであり、縦軸にはコンタクトホール22のテーパに基づく角度 θ をとっている。高周波電力のRF周波数は、従来法では13.56MHzであるのに対し、本実施例では380KHzを用いている。また、従来法および本実施例ともにカソードカップリング方式を採用し、出力は800Wである。圧力は従来法では40mTorr~80mTorrであったのに対し、本実施例では800mTorr程度に設定している。

【0035】図6(a)のグラフからわかるように、従来法による場合のエッチング特性は、コンタクトホール22の大きさ w が小さい領域F、Gにおいてはエッチング速度比が単調に増加するが、領域Hおよびそれよりも w が大きな領域においては、エッチング速度比はほぼ1.0に飽和してしまう。それに対し、本実施例の方法では、領域F、Gで単調に増加するが、領域Hにおいて単調に減少している。本実施例の方法においては、領域Hの w が3 μ m以上のコンタクトホール22のエッチング速度比は、0.7程度である。この領域Hを利用して、深さ d の小さなコンタクトホール22の w をより大きく設定し、深さ d のより大きなコンタクトホール22の w をより小さく設定することによって、深さの差に起因するコンタクトホール22の開口加工に要する時間差を縮小したことが、本実施例の特徴である。

【0036】本実施例におけるコンタクトホール22の大きさに依存するエッチングレート22の制御方法により、コンタクトホール22のエッチング選択比をコンタクトホール20のエッチング選択比に対して30%程度小さくすることができ、コンタクトホール22がエッチングされる時間とコンタクトホール20がエッチングされる時間との差、を従来法に比べて小さくすることができる。したがって、コンタクトホール22の底面に位置する上部電極10のドーパントポリシリコンが過度にエッチングされることが防止される。

【0037】すなわち、図3を参照して、コンタクトホール22がちょうど上部電極10の表面までエッチングされたときのコンタクトホール20の下方に残存する層間絶縁膜41の厚さ Δd_1 は、従来法によってエッチングした場合に比べて小さくすることができる。よって、その後さらにエッチングを継続してコンタクトホール20が半導体基板1表面までちょうどエッチングされた時点において、コンタクトホール22の底面に位置する上部電極10のドーパントポリシリコンのエッチング量が、図5に示した従来の場合に比べてより小さくなる。その結果、図5に示すように、半導体基板1上全面にバリア金属層15aとアルミニウム合金層15bを形成し、これに所定のパターニングを施した後にパッシベーション膜43を形成して、図1(a)に示す構造が完成した後に、図1(b)に拡大して示すように、コンタクトホール22の底面に形成されるタングステンシリ

ルサイド層44は比較的薄くなる。したがって、図27に示した従来法による場合のような空洞34が形成されることもなく、上部電極10が断線することも防止される。

【0038】なお、上記実施例において、コンタクトホールの開口形状を正方形とし、その大きさを正方形の一边の長さ w で表わしたが、これはあくまで設計上のものである。実際には、写真製版の解像限界に起因して、開口形状が一边 w の正方形に設計されたコンタクトホールは、角が丸くなって、径が w の円形に近い開口形状となる。したがって、コンタクトホールの開口の大きさを、「径 w 」という表現を用いて示しても、実際的には同じことを意味しているとみなすことができる。このことは、以下の実施例についても同様である。

【0039】次に、エッチング特性のうち、図6(b)に示したコンタクトホール22の大きさ w とテーパ角 θ との関係について考察する。図6(b)のグラフから分かるように、従来法においては、領域G、Hにおいて角度 θ が約87°程度で飽和しているが、本実施例の方法では、G、Hの領域においてはほぼ単調にテーパに基づく角度 θ が減少している。このことは、領域Hにおいてエッチング時のデポジション膜の堆積量が単調に増加することを意味している。デポジション膜の堆積量と角度 θ との関係について、図7を参照して詳細に説明する。

【0040】図7は、デポジション膜の堆積と角度 θ が生じるメカニズムについての説明図であり、シリコン酸化膜51上に光露光技術でフォトレジスト52をパターンニングした後、フォトレジスト52をDeep UVキュアによって硬化させて、ドライエッチングを行なった場合の途中の工程を図7(a)~(c)に順次示している。ここで、Deep UVキュアとは、フォトレジストが柔らかいために生ずるパターンくずれなどを防止するため、塗布したフォトレジストにUV光(紫外光)を照射することによってフォトレジストの基材の架橋反応を進め、フォトレジストの強度を高める処理をいう。

【0041】図7(a)に示すように、ドライエッチングとデポジション膜(有機膜)の堆積は同時に進行する。コンタクトホール底部53に堆積したデポジション膜54は、シリコン基板55に入射されるイオン56(プラズマのイオンシースで加速されるイオン)の運動エネルギーによって活性化されてシリコン酸化膜51中の酸素と反応し、一酸化炭素や二酸化炭素57となって気化して除去される。この反応で酸素が引抜かれたシリコン酸化膜51はシリコンとなり、このシリコンがFラジカルなどのエッチャントと反応してSiF₄となって気化することによってエッチングされる。以上の過程によりコンタクトホール底部53においてはエッチングが進行するが、コンタクトホール側壁においては、イオン56の入射確率が底部に比べて著しく低いため、コンタクトホール側壁のデポジション膜54はエッチング中に除

去されない。このコンタクトホール側壁に残存するデポジション膜54がエッチングのマスクとなり、エッチングが図7(b)(c)と進む過程で徐々にコンタクトホール底部の径が縮小する。図7(d)は、図7(c)の工程の次にアッシング処理(酸素プラズマ処理)を施した後の断面図である。この図により、フォトリソスト52が除去されるとともにデポジション膜54もアッシングによって除去されており、そのために角度 θ が生じていることが分かる。なお、図7(b)~(d)においては、テーパの生じる過程を説明するためにコンタクトホール側壁を階段状に示したが、実際は上記反応は連続して起こるものであり、側壁は滑らか斜面となる。以上の説明により、デポジション量が多くなるほどコンタクトホール側壁のデポジション膜が厚くなり、そのために角度 θ も小さくなることが分かる。

【0042】次に、デポジション膜と対シリコン選択比との関係について説明する。既に説明したように、シリコン酸化膜上のデポジション膜は酸化膜中の酸素と反応してデポジション膜が除去されるのであるが、図7(c)に示すように、シリコン基板上に堆積したデポジション膜が酸素の供給がないために、イオンの入射エネルギーによる物理的なスパッタ除去のみによって除去されることになるため、デポジション膜が除去されにくくなる。そのため、シリコンはデポジション膜でガードされた状態となり、Fラジカルなどのエッチャントとの反応が進行しにくくなる。イオンのスパッタによって、若干のデポジション膜が除去されるので、少しはシリコンのエッチングも進行する。以上がシリコン酸化膜のエッチングにおける対シリコン選択比が大きくなるメカニズムである。このことから、デポジション量が多くなるような状態にエッチング条件を設定することにより、シリコンに対するシリコン酸化膜のより高いエッチング比を得ることができるとともに、角度 θ が小さくなる。また、逆に角度 θ を調べることで、各々のコンタクトホールにおけるエッチング選択比をモニタすることができる。

【0043】なお、上記実施例においては、コンタクトホールの開口に関して示したが、コンタクトホールの開口に限らず、あらゆる穴開け加工の工程に応用することが可能である。特に、多層のアルミニウム導電配線間のコンタクトをとるためのコンタクトホールである、いわゆるスルーホールを開口する場合には、オーバエッチングする時間が長くなると、下地のアルミニウム導電配線の表面上に生成されるアルミニウムのフッ化物などが配線の信頼性に悪影響を及ぼすなどの問題がある。したがって、できるだけオーバエッチング量を減らすことが要求されるため、上記実施例の方法を適用して、スルーホールの横断面の大きさとエッチングレートとの関係から適当な横断面の大きさを選択することにより、良好な結果を得ることができる。

【0044】また、エッチング条件として CHF_3/C

F_4/Ar ガス系を採用したが、 CHF_3/O_2 系で O_2 の流量比を低く(5%以下)にすることによっても同様の作用効果を得ることが可能である。すなわち、どのガス系においても、デポジション膜が多くなる方向に流量比などの条件を設定することによって、上記実施例と同様の作用効果を実現することが可能である。

【0045】次に、本発明の第2の実施例を、図8ないし図12に基づいて説明する。本実施例においては、まず図8を参照して、半導体基板1上全面に層間絶縁膜17を形成した後、写真製版によって所定パターンのレジストマスク61を形成し、後工程において形成されるストレージノードと半導体基板の不純物拡散領域4表面との導通をとるためのコンタクトホール62を形成する。それと同時に、周辺回路のフィールド絶縁膜2においても、窪み63を開口加工する。このとき、窪み63の開口寸法を一辺が $3.5\mu\text{m}$ の正方形とし、コンタクトホール62の開口寸法を一辺が $2\mu\text{m}$ の正方形と設定した。その後、レジストマスク61をマスクとして層間絶縁膜17の反応性イオンエッチング処理を行なった後、レジストマスク61をアッシング加工(酸素プラズマ)処理によって除去することにより、図8に示す構造が得られる。層間絶縁膜17の厚さは約 1300\AA であり、窪み63の開口加工において約20%のオーバエッチングを行なうため、窪み63の深さは約 1500\AA となる。

【0046】次に、ストレージノード8、誘電体膜9およびセルプレート10を形成すると、図10に示す構造となる。その後、後に形成されるビット線12と、セルプレート10との間に層間絶縁膜11を形成した後、ビット線12を形成する。次にビット線12とアルミニウム配線67との間に、層間絶縁膜を、下敷TEOS(Tetraethyl Ortho Silicate)膜64、BPSG(Boro-phospho Silicate Glass)膜65およびTEOS膜66の3層構造で、それぞれの厚さが 1000\AA 、 6000\AA 、 1000\AA となるように形成すると、図11(a)に示す構造となる。BPSG膜65を形成した後次のTEOS膜66を形成する前に、熱処理と約 4000\AA のエッチバックによる平坦化を行なうことにより、BPSG堆積直後の形状(図11(b)参照)に対し、図11(c)に示すように平坦化される。

【0047】次に、図12を参照して、半導体基板1表面に直接コンタクトするコンタクトホール24と、窪み63の領域においてセルプレート10とコンタクトするコンタクトホール25とを同時に異方性エッチングによって形成する。このときコンタクトホール25の深さは、窪み63が存在することによって、従来の場合の深さに相当する深さ d_3 に比べて、窪み63の深さ分である 1500\AA 程度深い深さ d_4 となり、コンタクトホール24の深さ d_5 との深さの差が減少する。

【0048】本実施例によるコンタクトホールのドライ

エッチングを多数実施したところ、従来法によるエッチングに比べて、歩留りが約5%向上した。これは、コンタクトホール25の深さ d_4 が従来の深さ d_3 に比べて1500Å程度深くなることにより、コンタクトホール25の下地となるセルプレート10のドーフトポリシリコンがエッチングされる量が300Å程度少なくなったためである。

【0049】次に、本発明の第3の実施例を、図13ないし図18に基づいて説明する。上記第2の実施例においては、オーバーエッチングによるドーフトポリシリコンの損傷を防ぐ効果を記したが、本実施例においては、タングステンプラグを形成する際のエッチバックにおける効果について説明する。

【0050】本実施例においては、まず、図10に示したセルプレート10を形成後、図13を参照して、セルプレート10とビット線12との間に層間絶縁膜11を形成する。その後ビット線12と半導体基板1表面とのコンタクトをとるためのコンタクトホール67と、周辺回路のフィールド絶縁膜2上の所定位置に形成される窪み68とを、同時にエッチングによって開口する。窪み68の開口の大きさは、コンタクトホール67の開口の大きさである一辺3μmの正方形よりも一辺が2μm大きい、一辺5μmの正方形とした。エッチング時間は、層間絶縁膜11の膜厚4500Åを20%オーバーエッチングするように設定し、窪み68の深さが5400Å程度になるように設定する。ビット線12を形成した後、下敷TEOS膜およびBPSG膜をそれぞれ10Å、6000Åの厚さで形成する(図14)。BPSG膜65を形成した後、熱処理と約4000Åのエッチバックを行なうことにより平坦化し、さらにTEOS膜66を約1000Å堆積することにより、図15に示す平坦化された構造となる。

【0051】次に、図16を参照して、半導体基板1表面に直接コンタクトするコンタクトホール69と、窪み68の領域においてビット線12とコンタクトするコンタクトホール70とを、同時にエッチングすることによって形成する。その後、図17を参照して、半導体基板1上全面にタングステンプラグ用のタングステン71を堆積させる。その後タングステン71をエッチバックして、コンタクトホール69およびコンタクトホール70の内部にタングステンプラグ72、73を形成する。

【0052】図17に示したタングステン71を堆積した直後の状態における、コンタクトホール70近傍でのタングステン71の膜厚 d_9 とコンタクトホール69上でのタングステン71の膜厚 d_{10} は、それぞれのコンタクトホールの開口の大きさに依存する。今仮に $d_9 < d_{10}$ とすると、本実施例の構成では、コンタクトホール70の深さ d_7 が従来法の場合の深さ d_6 に比べて5400Å程度深くなるため、コンタクトホール69の上部のタングステン(厚さ d_9)を十分エッチバック(エッチ

バック量は図18に示す e_1)しても、ビット線12までエッチングされることはない(図18)。タングステンのエッチバックは、タングステンの残渣(タングステンの下層にバリヤメタルとして窒化チタン膜を形成する2層構造を用いる場合には窒化チタンの残渣)がTEOS膜66表面に残らないように十分エッチングされる必要があり、たとえば、 d_9 を5000Å、 d_{10} を7500Åとした場合、エッチバック量 e_1 を10500Å程度に設定する。そのようにエッチング量を言定すると、TEOS膜66表面から3000Å~5000Å程度の落ちこみ r_1 、 r_2 が生じる。この r_1 、 r_2 は、 $r_1 = e_1 - d_9 = 5500\text{Å}$
 $r_2 = e_1 - d_{10} = 3000\text{Å}$ となる。またコンタクトホール70のビット線12上のタングステン残渣膜厚は、
タングステン残渣膜厚 $= d_7 - r_1 = 4400\text{Å}$ となり、ビット線12までには十分エッチングマージンがある。

【0053】なお上記第2および第3の実施例では、窪み63、64の形成を各層間絶縁膜の開口を行なう際に同時に加工するようにしたが、それに限られることなく、たとえば窪みのみを独立して別のマスクを作製して、別の工程で形成することも可能である。

【0054】

【発明の効果】以上述べたように本発明によれば、コンタクトホールの開口の大きさをその深さに応じて適宜設定することにより、エッチング速度を制御することが可能であり、複数の深さの異なるコンタクトホールを開口する場合における、下地の損傷や開口不良などを防止することができる。

【0055】また、コンタクトホールが形成される領域の下地に適当な深さの窪みを形成することにより、コンタクトホールの深さを深くすることが可能となり、やはり深さの異なる複数のコンタクトホール形成の際の種々の問題点が解消する。この方法は、コンタクトホールにタングステンプラグを形成する際のタングステンのエッチバック工程適用した場合においても過少なエッチバックによる下地の損傷などの問題点が解消される。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施例における半導体装置の構造を示す断面図、(b)はその一部を拡大して示す断面図である。

【図2】本発明の第1の実施例における半導体装置の製造方法の、第1工程を示す断面図である。

【図3】本発明の第1の実施例における半導体装置の製造方法の、第2工程を示す断面図である。

【図4】本発明の第1の実施例における半導体装置の製造方法の、第3工程を示す断面図である。

【図5】本発明の第1の実施例における半導体装置の製造方法の、第4工程を示す断面図である。

17

【図6】(a)は、本発明の第1の実施例を適用した場合と従来法を適用した場合の、コンタクトホールの開きの大きさとエッチング速度比との関係を対比して示す図、(b)は同じくコンタクトホールの開きの大きさとテーパに基づく角度との関係を示す図、(c)はコンタクトホールの開きの大きさ w とテーパに基づく角度 θ° を説明するための図である。

【図7】テーパが形成されるプロセスを順次模式的に示す断面図である。

【図8】本発明の第2の実施例における半導体装置の製造方法の、第1工程を示す断面図である。

【図9】本発明の第2の実施例における半導体装置の製造方法の、第2工程を示す断面図である。

【図10】本発明の第2の実施例における半導体装置の製造方法の、第3工程を示す断面図である。

【図11】(a)は本発明の第2の実施例における半導体装置の製造方法の、第4工程を示す断面図、(b)はBPSG膜65形成直後の平坦化前の形状を拡大して示す断面図、(c)はBPSG膜に熱処理を加えかつエッチバックすることによって平坦化した後の形状を拡大して示す断面図である。

【図12】本発明の第2の実施例における半導体装置の製造方法の、第5工程を示す断面図である。

【図13】本発明の第3の実施例における半導体装置の製造方法の、第1工程を示す断面図である。

【図14】本発明の第3の実施例における半導体装置の製造方法の、第2工程を示す断面図である。

【図15】本発明の第3の実施例における半導体装置の製造方法の、第3工程を示す断面図である。

【図16】本発明の第3の実施例における半導体装置の製造方法の、第4工程を示す断面図である。

【図17】本発明の第3の実施例における半導体装置の製造方法の、第5工程を示す断面図である。

【図18】本発明の第3の実施例における半導体装置の製造方法の、第6工程を示す断面図である。

【図19】従来の半導体装置の構造の一例として、DRAMのメモリセル近傍の構造を示す断面図である。

【図20】隣り合う素子間の谷間において、層間絶縁膜にコンタクトホールを開くためのレジストマスクを形成した構造であって、層間絶縁膜が比較的平坦化された場合を示す断面図である。

【図21】隣り合う素子間の谷間において、層間絶縁膜

18

にコンタクトホールを開くためのレジストマスクを形成した構造であって、層間絶縁膜の平坦化処理がなされていない場合を示す断面図である。

【図22】隣り合う導電配線間の谷間において、層間絶縁膜に比較的浅いコンタクトホールを形成するための、レジストマスクを形成した断面図である。

【図23】図22に示した構造に、異方性エッチングを施してコンタクトホールを開いた後の構造であって、過剰エッチングによってコンタクトホールがそのそのドープトポリシリコン層を貫通した場合を示す断面図である。

【図24】図23に示すように開口したコンタクトホールの内壁を含む表面上に、バリアメタル層とアルミニウム合金層との二重構造を有する導電配線を形成した状態を示す断面図である。

【図25】図23とほぼ同様の断面図であって、コンタクトホールがドープトポリシリコン層を貫通はしていないが、過剰エッチングによってコンタクトホールのそのドープトポリシリコン層が薄くなっている場合を示す断面図である。

【図26】図25に示すように開口したコンタクトホールの内壁を含む表面上に、バリアメタル層とアルミニウム合金層との二重構造を有する導電配線を形成した状態を示す断面図である。

【図27】図26の円Eで囲む部分を拡大して示す断面図である。

【図28】(a)は、多数の半導体ウエハ上に形成された被エッチング膜の膜厚分布を設定値を中心として示す図、(b)は、エッチングレートの変動分布を設定値を中心として示す図である。

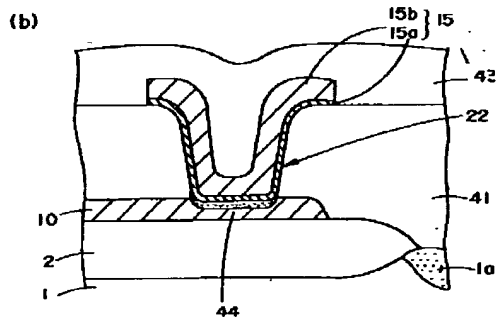
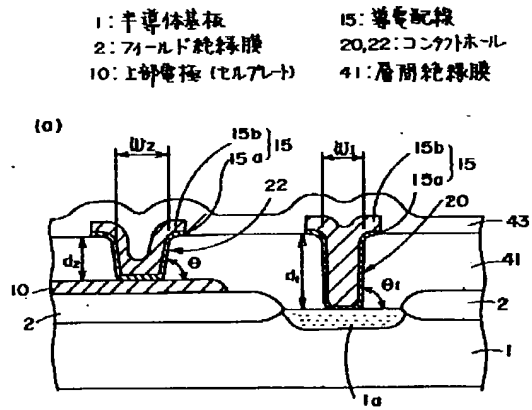
【図29】深さの異なるコンタクトホールが併存する場合の構造の一例を示す断面図である

【符号の説明】

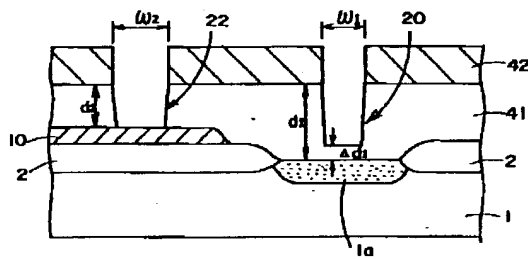
- 1 半導体基板
- 2 フィールド絶縁膜
- 10 上部電極(セルプレート)
- 15 導電配線
- 20, 22 コンタクトホール
- 41 層間絶縁膜

なお、図中同一の符号を付した部分は、同一または相当の要素を示す。

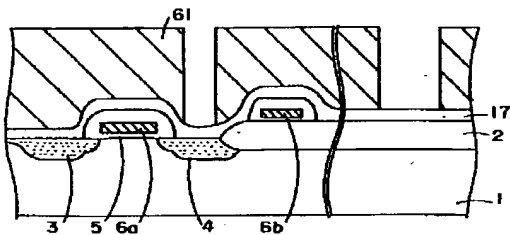
【図1】



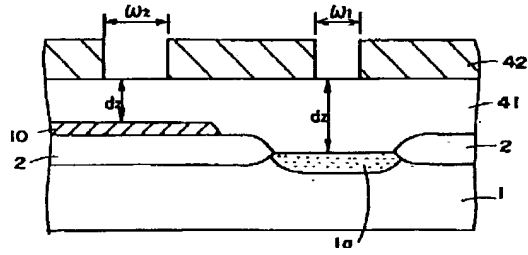
【図3】



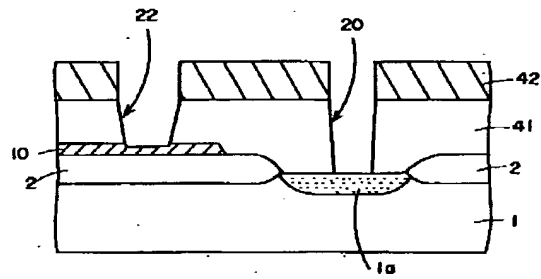
【図8】



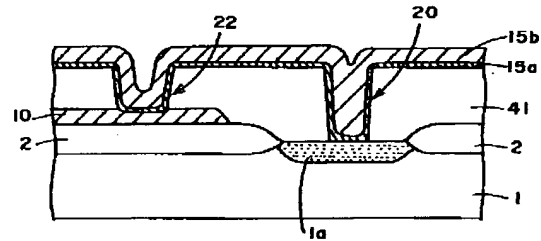
【図2】



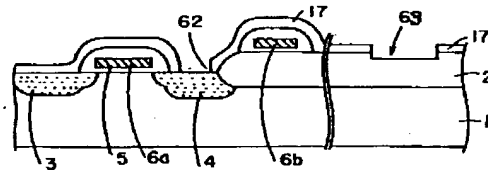
【図4】



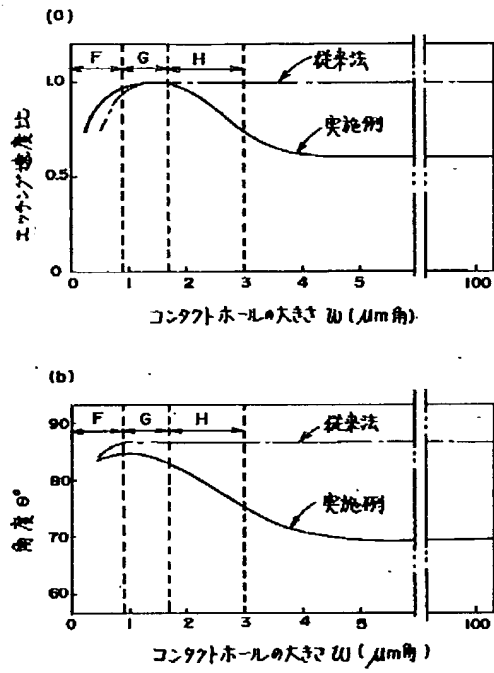
【図5】



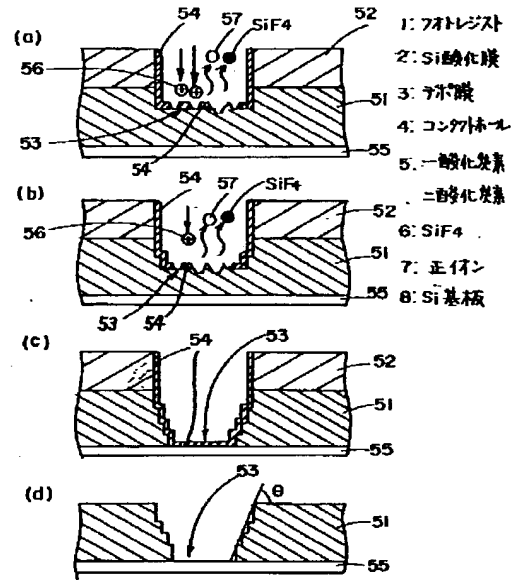
【図9】



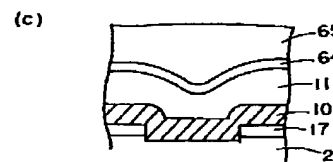
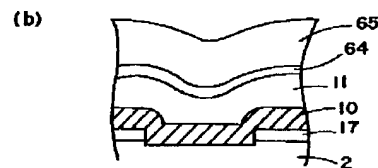
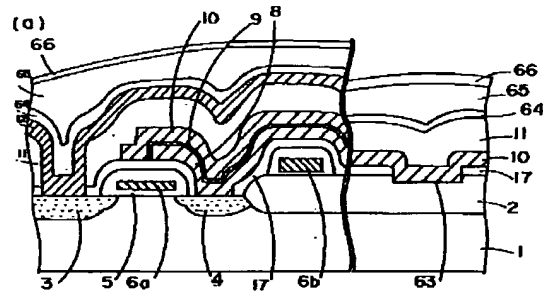
【図6】



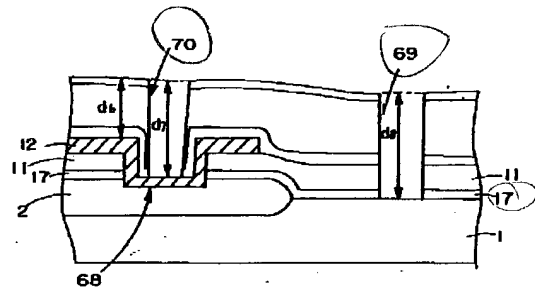
【図7】



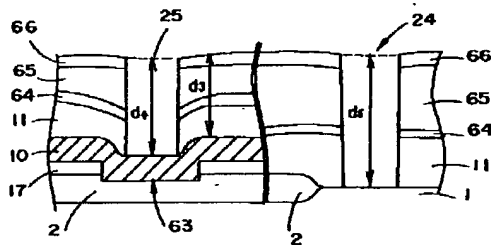
【図11】



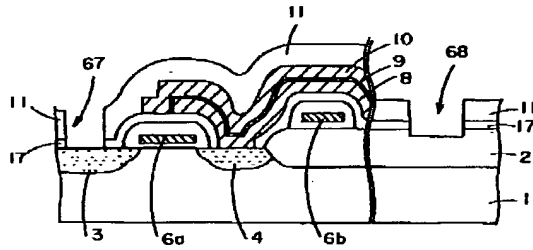
【図16】



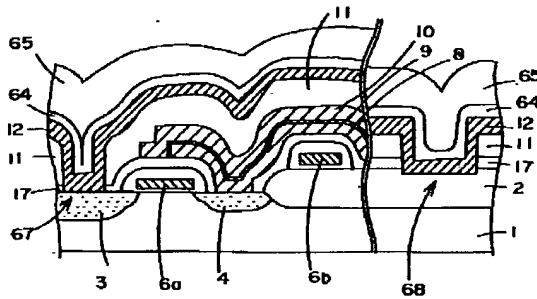
【図12】



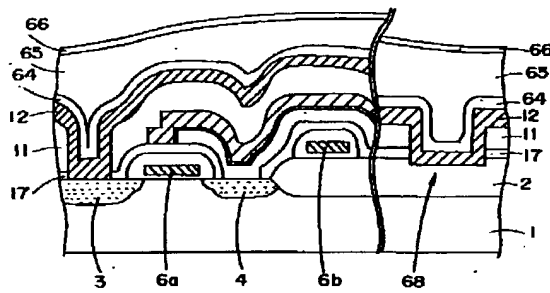
【図13】



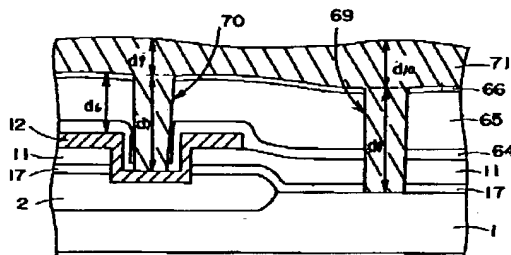
【図14】



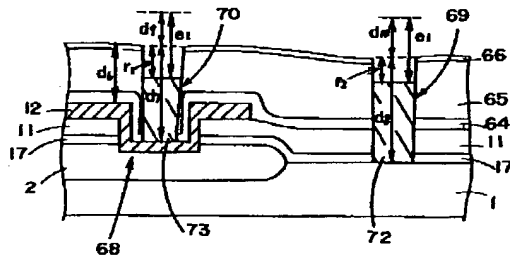
【図15】



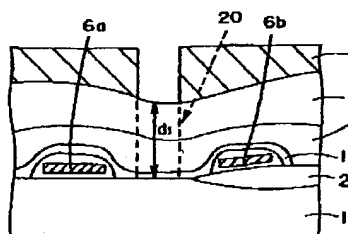
【図17】



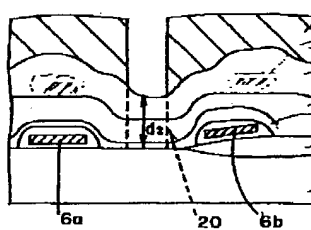
【図18】



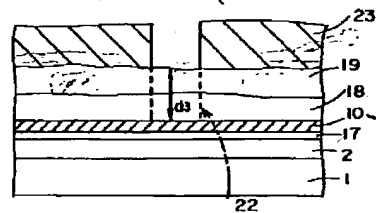
【図20】



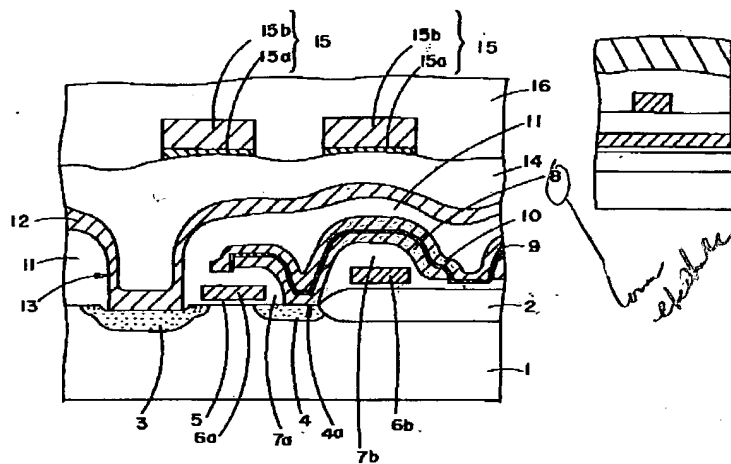
【図21】



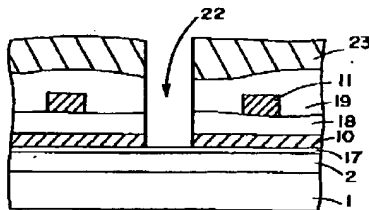
【図22】



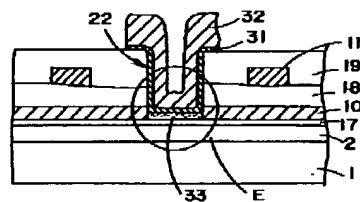
【例19】



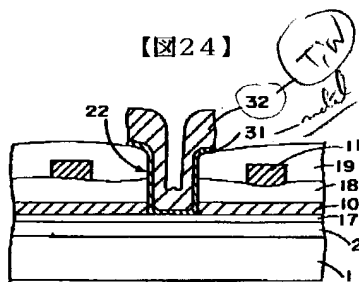
【图23】



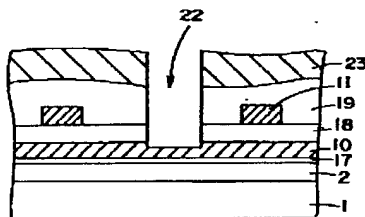
【图26】



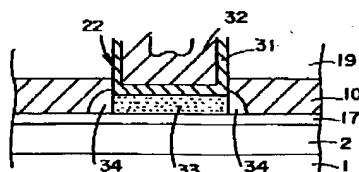
【图24】



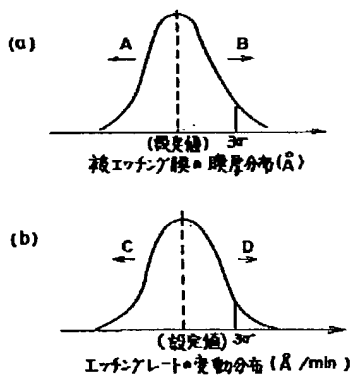
【图25】



【图27】



【图28】



【図29】

